

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Yun-Jung Lee et al. Conf: Unknown

Application No.: New Application Group: Unknown

Filed: August 4, 2003 Examiner: Unknown

For: **METHOD OF FORMING OXIDE LAYER USING ATOMIC
LAYER DEPOSITION METHOD AND METHOD OF FORMING
CAPACITOR OF SEMICONDUCTOR DEVICE USING THE
SAME**

PRIORITY LETTER

August 4, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

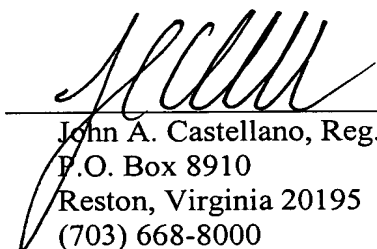
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-0048720	August 17, 2002	KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKY, & PIERCE, P.L.C.

By


John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:me

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0048720
Application Number

출원년월일 : 2002년 08월 17일
Date of Application AUG 17, 2002

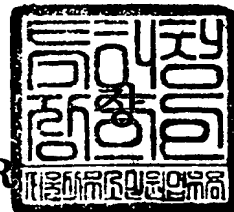
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 15 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.17
【발명의 명칭】	원자층 증착법을 이용한 물질 형성방법, 및 이를 이용한 반도체 장치의 캐패시터 형성방법
【발명의 영문명칭】	Method of forming material using atomic layer deposition, and a method of forming a capacitor of a semiconductor device using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이윤정
【성명의 영문표기】	LEE, Yun Jung
【주민등록번호】	750624-2068414
【우편번호】	151-080
【주소】	서울특별시 관악구 남현동 1081-34
【국적】	KR
【발명자】	
【성명의 국문표기】	박인성
【성명의 영문표기】	PARK, In Sung
【주민등록번호】	680524-1895118
【우편번호】	137-073
【주소】	서울특별시 서초구 서초3동 1511-4 런던빌라 302호
【국적】	KR
【발명자】	
【성명의 국문표기】	임기빈
【성명의 영문표기】	IM, Gi Vin



1020020048720

출력 일자: 2003/4/16

【주민등록번호】	710807-1009510
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1287-3번지 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	박기연
【성명의 영문표기】	PARK, Ki Yeon
【주민등록번호】	720407-1005911
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 7-1 기숙사
【국적】	KR
【발명자】	
【성명의 국문표기】	여재현
【성명의 영문표기】	YEO, Jae Hyun
【주민등록번호】	730302-1621620
【우편번호】	403-100
【주소】	인천광역시 부평구 부개동 부개주공1단지 108-803
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 박영 우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	24 면 24,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	53,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

원자층 증착법을 이용한 물질 형성방법 및 이를 이용한 반도체 장치의 캐패시터 형성방법이 개시되어 있다. 챔버 내부에 기판을 위치시킨 후, 상기 챔버 내부에 물질을 이루는 제1 원소와 적어도 하나의 아미노기를 포함하는 제1 반응물을 도입한다. 상기 제1 반응물의 일부분을 기판 상에 화학 흡착시킨다. 상기 챔버 내부에 산화제를 포함하는 제2 반응물을 도입하여 상기 화학 흡착된 제1 반응물과 상기 제2 반응물을 화학적으로 반응시킴으로써, 기판 상에 원자층을 형성한다. 금속 아미노기를 포함하는 전구체 및 산화제를 이용한 원자층 증착법으로 스텝 커버리지가 우수하고 누설 전류가 최소화되는 특성을 갖는 절연막을 형성할 수 있다.

【대표도】

도 2c

**【명세서】****【발명의 명칭】**

원자층 증착법을 이용한 물질 형성방법, 및 이를 이용한 반도체 장치의 캐패시터 형성방법{Method of forming material using atomic layer deposition, and a method of forming a capacitor of a semiconductor device using the same}

【도면의 간단한 설명】

도 1은 각 물질들의 유전 상수 및 에너지 밴드갭을 나타내는 그래프이다.

도 2a 내지 도 2e는 본 발명에 의한 원자층 증착법을 이용한 물질 형성방법의 일 예를 설명하기 위한 단면도들이다.

도 3은 본 발명의 방법에 의해 증착 공정을 진행하였을 때, 각 온도별로 HfO_2 막의 증착율을 나타낸 그래프이다.

도 4는 본 발명의 방법에 의해 평판 및 어스펙트비를 갖는 구조물 상에 각각 증착 공정을 진행하였을 때, 각 구조물에서 온도별로 HfO_2 막의 증착율을 나타낸 그래프이다.

도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 6은 본 발명의 일 실시예에 따른 ALD방법에 의하여 제조한 유전막을 갖는 캐패시터의 누설 전류 특성을 나타낸 그래프이다.

도 7은 본 발명의 일 실시예에 따른 ALD방법에 의하여 제조한 유전막을 갖는 캐패시터에서, 유전막의 등가 산화막 두께에 따른 누설 전류 특성을 나타낸 그래프이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는 원자층 증착법(atomic layer deposition; ALD)을 이용한 물질 형성방법 및 이를 이용한 반도체 장치의 제조 방법에 관한 것이다.
- <9> 반도체 장치의 고집적화 및 고속화가 요구됨에 따라, 메모리 셀 영역이 매우 축소되고 있다. 상기 메모리 셀 영역의 축소로 인해 반도체 장치를 구성하는 각 셀에 포함되는 트랜지스터나 캐패시터가 형성되는 영역의 수평 면적이 매우 감소되고 있다.
- <10> 상기 트랜지스터의 게이트 전극의 길이가 감소됨에 따라, 상기 게이트 절연막의 두께도 20Å 이하의 매우 얇은 두께로 형성되어야 한다. 그러나, 상기 게이트 절연막의 두께 감소는 게이트 누설 전류, 게이트 도핑 불순물의 침투, 문턱 전압의 저하 등의 문제점을 나타내고 있다. 때문에, 상기 게이트 절연막을 절연성이 뛰어나고, 유전율이 높은 물질로서 대체하여 형성하고자 하는 연구가 진행되고 있다.
- <11> 또한, 상기 캐패시터가 형성되는 영역의 감소로 인해, 상기 셀 캐패시턴스도 함께 감소되고 있다. 그러나, 상기 셀 캐패시턴스가 감소되면, 메모리 셀의 데이터 독출 능력(readability)을 열화시키고 소프트 에러율(soft error rate)을 증가시키며, 반도체 메모리 장치가 저전압에서 동작하는 것을 어렵게 한다. 이에 따라, 셀이 차지하는 면적에 영향을 미치지 않으면서 셀 캐패시턴스를 증가시키기 위한 여러 가지 기술들이 개발되고 있다.



- <12> 한정된 셀 영역 내에서 캐패시턴스를 증가시키기 위하여 캐패시터의 유전막을 박막화하는 방법, 또는 실린더나 핀과 같은 구조를 갖는 캐패시터 하부 전극을 형성하여 캐패시터의 유효 면적을 증가시키는 방법이 제안되었다. 그러나, 1 기가비트 이상의 다이내믹 랜덤 액세스 메모리(DRAM)에서는 이러한 방법들로 메모리 장치를 작동시키기에 충분한 높은 캐패시턴스를 얻기가 어렵다. 이러한 문제를 해결하기 위하여 높은 유전상수(κ)를 갖는 물질을 사용하여 캐패시터의 유전막을 형성하는 방법이 활발히 연구되고 있다.
- <13> 구체적으로, 상기 트랜지스터의 게이트 절연막 및 캐패시터 유전막은 Ta_2O_5 , Y_2O_3 , HfO_2 , ZrO_2 , Nb_2O_5 , BaTiO_3 또는 SrTiO_3 물질로서 형성하는 방법들이 개발되고 있다. 도 1은 이러한 각 물질들의 유전 상수 및 에너지 밴드갭을 나타내는 그래프이다.
- <14> 일반적으로, 유전막과 같은 박막들은 화학기상증착(CVD), 저압화학기상증착(LPCVD), 플라즈마-강화 화학기상증착(PECVD) 및 스퍼터링 등의 증착 방법들을 사용하여 증착된다. CVD에 근거한 방법들은 상대적으로 높은 온도에서 박막의 증착이 이루어지기 때문에, 반도체 소자들에 불리한 열적 효과를 줄 수 있다. 또한, CVD 박막은 불균일한 두께를 가지며, 스텝 커버리지가 양호하지 못하다.
- <15> 반면에, 원자층 증착법(ALD)은 통상의 CVD 방법보다 낮은 온도에서 수행할 수 있고, ALD 방식에 의해 형성되는 막은 우수한 스텝 커버리지를 갖는다. 때문에, 통상의 박막 형성 기술을 대체하는 기술로서 제안되고 있다.
- <16> 최근에는 상기 캐패시터 유전막으로서, 유전 상수가 25정도로 높고, 높은 열 안정성을 갖는 탄탈륨 산화막(Ta_2O_5)이 널리 사용되고 있다. 그러나, Ta_2O_5 은 에너지 밴드갭이 낮으므로, 캐패시터의 유전막으로 사용하였을 경우 누설 전류가 매우 큰 단점이



있다. 따라서, 도 1에 나타낸 바와 같이, 유전 상수가 20 이상이면서, 에너지 밴드갭이 비교적 큰 유전 물질인 산화 하프늄(HfO_2)을 유전막으로 형성하는 공정이 제안되고 있다.

<17> 상기 HfO_2 막을 형성하는 일 예가 미합중국 특허 제6,348,386호 및 6,420,279호에 개시되어 있다. 그러나, 상기 방법에 의해서는 높은 어스펙트비를 갖는 구조물 상에 양호한 스텝커버리지를 갖는 HfO_2 막을 형성하기가 어려울 것으로 판단된다.

<18> 또한, 본 발명자들은 금속 알콕사이드화합물과 활성화된 산화제를 사용하여 금속 산화막을 형성하는 방법을 발명하였고, 2002년 7월 18일자로 "원자층을 이용한 증착법을 이용한 물질 형성 방법, 및 이를 이용한 반도체 장치의 커패시터 형성방법"이란 발명의 명칭으로 대한민국 특허청에 특허 출원 제2002-42217호로 출원하여 현재 계속중이다.

<19> 본 발명자들의 선행 출원에 기재된 방법에 의하면, 높은 어스펙트비를 갖는 구조물 상에 양호한 스텝 커버리지를 갖는 산화 하프늄막을 형성할 수는 있지만, 증착 속도의 면에서 충분하지 않다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서, 본 발명의 제1 목적은 원자층 증착법(ALD)을 이용하여 스텝커버리지가 우수하고, 양호한 증착율을 갖는 고유전율을 갖는 물질의 형성 방법을 제공하는데 있다.

<21> 본 발명의 제2 목적은 상기 물질 형성 방법을 사용하여 균일한 두께 및 고유전율을 갖는 금속 산화물 박막을 포함하는 반도체 커패시터의 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <22> 상기한 목적을 달성하기 위하여 본 발명은, (a) 물질을 이루는 제1 원소와 적어도 하나의 아미노기를 포함하는 제1 반응물을 기판의 상부에 도입하는 단계; (b) 상기 제1 반응물의 일부분을 상기 기판 상에 화학 흡착시키는 단계; (c) 상기 기판의 상부에 산화제로 이루어지는 제2 반응물을 도입하는 단계; 및 (d) 상기 화학 흡착된 제1 반응물과 상기 제2 반응물을 화학적으로 반응시켜 상기 기판 상에 원자층을 형성하는 단계를 구비하는 원자층 증착법을 이용한 물질 형성방법을 제공한다.
- <23> 상기 기판 상에 형성된 원자층은 반도체 캐패시터의 유전막 또는 반도체 장치의 게이트 절연막으로 제공될 수 있다.
- <24> 또한, 본 발명의 상기한 제1 목적은, (a) 챔버 내부에 기판을 위치시키는 단계; (b) 상기 챔버 내부에 Hf와 아미노기가 포함된 제1 반응물을 도입하는 단계; (c) 상기 제1 반응물의 일부분을 상기 기판 상에 화학 흡착시키는 단계; (d) 화학 흡착하지 않은 제1 반응물을 상기 챔버로부터 제거하는 단계; (e) 상기 챔버 내부에 산화제로 이루어진 제2 반응물을 도입하는 단계; (f) 상기 화학 흡착된 제1 반응물과 상기 제2 반응물을 화학적으로 반응시켜 상기 기판 상에 원자층 단위의 금속 산화막을 형성하는 단계; 및 (g) 화학 반응하지 않은 제2 반응물을 상기 챔버로부터 제거하는 단계를 구비하는 원자층 증착법을 이용한 박막 형성 방법에 의해 달성될 수 있다.
- <25> 상기한 본 발명의 제2 목적을 달성하기 위하여 본 발명은, (a) 반도체 기판상에 제1 전극을 형성하는 단계; (b) 상기 제1 전극 상에 절연 물질을 이루는 제1 원소와 적어도 하나의 아미노기를 포함하는 제1 반응물을 상기 제1 전극의 상부에 도입하는 단계; (c) 상기 제1 반응물의 일부분을 상기 제1 전극상에 화학 흡착시키는 단계; (d) 상기

제1 전극의 상부에 산화제로 이루어진 제2 반응물을 도입하는 단계; (e) 상기 화학 흡착된 제1 반응물과 상기 제2 반응물을 화학적으로 반응시켜 상기 기판 상에 절연막을 형성하는 단계; 및 (f) 상기 절연막상에 제2 전극을 형성하는 단계를 포함하는 캐패시터의 형성 방법을 제공한다.

<26> Hf와 아미노기가 포함된 제1 반응물 및 산화제로 이루어진 제2 반응물을 이용한 원자층 증착법으로 스텝 커버리지가 우수하고, 고유전율을 갖는 박막을 형성할 수 있다. 이러한 박막을 반도체 장치의 캐패시터 절연막이나 게이트 절연막으로 형성하는 경우에는 반도체 장치의 신뢰성을 크게 향상시킬 수 있다.

<27> 이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

<28> 도 2a 내지 도 2e는 본 발명에 의한 원자층 증착법을 이용한 물질 형성방법의 일 예를 설명하기 위한 단면도들이다.

<29> 도 2a를 참조하면, 먼저, 실리콘 웨이퍼와 같은 기판(1)을 약 100 내지 500℃로 유지되는 챔버 내에 위치시킨 다음, 상기 챔버를 약 0.4torr의 진공 상태로 만든다. 여기서, 상기 온도 범위는 약 150 내지 350℃인 것이 바람직하다. 그리고, 아르곤(Ar)이나 질소(N₂)와 같은 불활성 캐리어 가스를 사용하여 박막을 이루는 제1 원소와 리간드기로서 아미노기를 갖는 제1 반응물을 약 50 내지 5,000sccm의 유량으로 챔버 내(반도체 기판의 상부에)에 1초 내지 3초 동안 도입시킨다. 여기서, 상기 유량은 500 내지 1,500sccm인 것이 바람직하다.

<30> 상기 제1반응물(2)의 예로서는 MX_n을 들 수 있다. 여기서, 상기 M은 제1원소로서 원소 주기율표에서 2족, 3A족(란탄 계열을 포함한다), 4A족, 5A족, 3B족, 4B족, 5B족의

금속을 포함한다. 상기 M의 예로서는 Sr, Ba, Y, La, Ti, Zr, Hf, V, Nb, Ta, Al, Ge, Pb, As, Bi 등을 들 수 있다. 이들은 단독으로 사용하는 것이 바람직하만, 2이상을 혼합하여 사용할 수도 있다. 그리고, 상기 X_n 은 $-NR_1R_2$ 를 나타낸다. 식중, R_1 및 R_2 각각은 수소 원자 또는 1-4의 탄소 원자를 포함하는 저급알킬을 포함한다. 저급 알킬기의 예로서는 메틸기, 에틸기, n-프로필, iso-프로필, n-부틸, iso-부틸, tert-부틸 등을 들 수 있다. 이때, 상기 R_1 및 R_2 각각은 동일하거나 서로 상이할 수 있고, n은 2-5의 정수를 나타낸다.

<31> 따라서, 상기 제1반응물(2)의 예로서는 상기 제1 원소로서 하프늄(Hf)과 같은 금속을 포함하는 아미노기를 갖는 하프늄 금속 화합물을 들 수 있다. 그리고, 상기 아미노기를 갖는 하프늄 금속 화합물의 예로서는 TEMAH(tetrakis - ethyl - methyle - amino - Halfnium, $Hf[NC_2H_5CH_3]_4$), TDEAH(tetrakis - diethyl - amino - Halfnium, $Hf[N(C_2H_5)_2]_4$), TDEAH(tetrakis - dimethyl - amino - Halfnium, $Hf[N(CH_3)_2]_4$), $Hf[N(C_3H_7)_2]_4$, $Hf[N(C_4H_9)_2]_4$ 등을 들 수 있다. 이들은 단독 또는 둘 이상을 혼합하여 사용할 수 있다. 또한, 상기 제1반응물(2)의 다른 예로서는 상기 제1원소로서 알루미늄(Al)과 같은 금속을 포함하는 $(CH_3)_2AlNH_2$ 을 들 수 있다.

<32> 본 실시예에서는 스텝 커버리지가 우수하고, 고유전율을 갖는 HfO_2 (산화 하프늄)을 형성하는 방법을 예를 들어 설명한다.

<33> 도 2b를 참조하면, 이러한 제1 반응물(2)의 도입 단계 동안, 상기 제1 반응물(2)의 제1 부분이 상기 기판(1)상에 화학 흡착되어 상기 기판(1)의 표면 상에 층(4)을 형성한다. 이때, 상기 제1 반응물(2)의 제2 부분은 상부에 물리 흡착됨으로써, 상기 제1 반응물(2)이 화학 흡착된 층(4)에 느슨하게 결합된다. 이어서, 상기 챔버를 아르곤(Ar), 질

소(N_2) 등의 불활성 가스를 이용하여 퍼지 및 진공 퍼지시킨다. 상기 퍼지 및 진공 퍼지를 실시하는 시간은 1 내지 20초 동안이고, 1-4초인 것이 바람직하다. 상기 퍼지 단계들이 진행되는 동안, 화학 흡착하지 않은 제1 반응물이 상기 챔버로부터 제거됨으로써, 상기 기판(1) 상에는 손상되지 않은 제1 반응물의 화학 흡착된 층(4)이 남는다.

<34> 도 2c를 참조하면, 상기 챔버 내부에 산화제를 포함하는 제2 반응물(6)을 도입한다. 상기 제2 반응물은 약 500sccm의 유량으로 2 내지 5초 동안 도입시킨다. 그러면, 상기 화학 흡착된 제1 반응물(2)과 상기 제2 반응물(6)이 화학적으로 반응하여 기판(1)의 표면 상에 HfO_2 원자층(8)을 형성한다. 즉, 기판(1) 상에서 제1 반응물(2)의 Hf(하프늄)와 제2 반응물(6)의 산소가 반응하여 원자층 단위의 HfO_2 박막이 형성된다. 상기 제2 반응물(6)은 산소(O) 라디칼을 형성할 수 있는 활성화된 산화제 또는 수산화기를 포함하는 산화제를 포함한다. 예컨대, 상기 활성화된 산화제는 플라즈마 생성기에 의해 형성된 오존(O_3), 플라즈마 O_2 , 리모트 플라즈마 O_2 또는 플라즈마 N_2O 중의 어느 하나이다. 오존 발생기를 사용하여 산소 가스를 처리하여 O_3 을 형성하면, O_2 가스중의 일부가 O_3 로 전환되어 오존가스가 얻어진다. 수득된 오존 가스는 산소 가스와 O_3 가스로 이루어지며, O_3 가스는 약 5 내지 15%의 몰비가 포함된다. 또한, 상기 수산화기를 포함하는 산화제로서는 H_2O 또는 H_2O_2 등을 들 수 있다.

<35> 도 2d 내지 도 2e를 참조하면, 상기 챔버를 아르곤, 질소 등의 불활성 가스를 사용하여 약 4초 동안 퍼지 및 진공 퍼지시킴으로써, 화학 반응하지 않은 제2 반응물을 상기 챔버로부터 제거한다. 상기 퍼지 및 진공 퍼지를 실시하는 시간은 1 내지 20초 동안이고, 1-4초인 것이 바람직하다. 그런 다음, 제1 반응물의 도입 단

계, 제1 반응물의 퍼지 단계, 제2 반응물의 도입 단계 및 제2 반응물의 퍼지 단계를 반복적으로 수행함으로써, 원하는 두께를 갖는 HfO_2 막(8a)을 형성한다.

<36> 상기 단계들을 진행하는 동안, 챔버의 온도는 400°C 이하, 바람직하게는 약 150 내지 350°C 로 유지한다. 따라서, 상기 HfO_2 막을 형성할 때 하부막들의 열적 손상을 최소화할 수 있다. 또한, 상기 Hf 및 아미노기를 갖는 액체 소오스는 다른 전구체, 예컨대 할로젠화물 전구체에 비해 높은 증기압을 갖는다. 증기압이 높다는 것은 기상으로 존재하는 분자수가 많다는 것을 의미하므로, 상기 Hf 및 아미노기를 갖는 액체 소오스를 전구체로 사용하는 경우에는 증착 챔버 내로 공급되는 금속 소스 가스의 양이 많아져서 단차진 부분의 바닥면으로 직접 공급되는 분자의 수가 많아지게 된다. 따라서, 종래의 할로젠화물 전구체를 사용하는 것에 비해 스�텝 커버리지가 우수한 박막을 형성할 수 있게 한다. 또한, 형성되는 HfO_2 막이 미세한 두께를 갖도록 제어할 수 있다.

<37> 도 3은 본 발명의 방법 및 본 발명자의 선행 출원에 기재된 방법(금속 알콕사이드를 전구체로 이용한 원자층 증착방법)에 의해 증착 공정을 진행하였을 때, 각 온도별로 HfO_2 막의 증착율을 나타낸 그래프이다.

<38> 상기 그래프에서, 수평 축은 증착 온도($^\circ\text{C}$)를 나타내고, 수직 축은 한 사이클당 증착되는 막의 두께(이하, 증착율, $\text{\AA}/\text{cycle}$)를 나타낸다.

<39> 구체적으로, 전구체로는 TEMAH를 2초동안 도입하고, 퍼지 가스로 Ar을 4초동안 도입하였다. 이어서, 산화제로 O_3 를 4초동안 도입하고, 퍼지 가스로 Ar을 4초동안 도입하였다. 이러한 조건으로 각 온도별로 반복적으로 공정을 수행한 이 후에 증착률을 측정하였다.

- <40> 선행 출원에 기재된 방법에 의한 경우에는 전구체로서 tBH(테트라 부톡시 하프늄, $\text{Hf}(\text{OtBu})_4$)을 사용하고, 나머지 조건은 동일하게 적용하였다.
- <41> 도 3을 참조하면, 본 발명의 방법에 의해 HfO_2 막을 형성하면, 200 내지 300℃에서는 증착률이 거의 일정한 ALD 공정 특성을 갖는다. 그러나, 300℃ 이상에서는 온도에 따라 상기 증착률이 선형적으로 증가하는 CVD 공정 특성을 나타냈다. 그리고, 200℃를 기준으로 할 경우 증착율은 약 1Å/cycle 정도이다.(도면 부호, 10참조) 반면에, 선행 출원에 기재된 방법에 의해 HfO_2 막을 형성하면, ALD 공정 특성을 보이는 250℃ 내지 350℃ 온도 범위에서 증착율이 약 0.25Å/cycle 정도이다. 상기 결과로부터, 전구체로서 사용되던 물질로서 원자층 적층 방법에 의해 상기 HfO_2 막을 형성할 때, 본 발명의 방법에 아미노기를 갖는 금속 전구체를 사용하여 HfO_2 막을 형성할 경우가 금속 알콕사이드기를 금속 전구체로서 사용하여 HfO_2 막을 형성하는 경우에 비하여 증착 속도가 매우 빠르다는 것을 알 수 있다. 또한, 300℃ 이하의 낮은 온도에서 증착 공정을 수행하여 HfO_2 막을 형성할 수 있음을 알 수 있다.
- <42> 그리고, 상기 온도 조건은 300℃ 이하인 것이 바람직하지만, 실제로는 300℃ 이상의 온도에서 공정을 실시하여도 전기적 특성이 우수한 HfO_2 막을 얻을 수 있다. 특히, 산화제가 H_2O 인 경우에는 350℃의 온도에서 공정을 실시할 경우 가장 우수한 전기적 특성을 얻을 수 있다. 따라서, 상기 증착을 실시하기 위한 온도 범위는 100 내지 500℃인 것이 바람직하다.

- <43> 실제로 발명자의 다양한 실험 결과, 상기 TEMAH를 사용하여 ALD 방식으로 막을 형성하는 경우, 13:1 이상의 높은 어스펙트비를 갖는 구조물에서 약 80% 이상의 우수한 스텝 커버리지(구조물의 상부와 하부에서의 두께 비)가 얻어졌다.
- <44> 도 4는 상기 설명한 방법에 의해 평판 및 어스펙트비를 갖는 구조물 상에 각각 증착 공정을 진행하였을 때, 각 구조물에서 온도별로 HfO_2 막의 증착율을 나타낸 그래프이다.
- <45> 상기 그래프에서, 수평 축은 증착 온도($^{\circ}\text{C}$)를 나타내고, 수직 축은 한 사이클당 증착되는 막의 두께(이하, 증착율, $\text{\AA}/\text{cycle}$)를 나타낸다.
- <46> 구체적으로, 제1 반응물로는 TEMAH를 2초동안 도입하고, 퍼지 가스로 Ar을 4초동안 도입하였다. 이어서, 제2 반응물로 O_3 를 4초동안 도입하고, 퍼지 가스로 Ar을 4초동안 도입하였다. 이러한 조건으로 각 온도별로 반복적으로 증착 공정을 수행한 이 후에, 각각의 구조물에서 상기 각 공정을 1회 수행하였을 때(한 사이클) 증착되는 두께를 측정하여 증착률을 구하였다.
- <47> 도 4를 참조하면, 상기 어스펙트비를 갖는 구조물 상에 막이 증착되는 증착률은 각 온도별로 큰 차이가 없이 거의 일정하다.(도면 부호, 32참조) 즉, 어스펙트비를 갖는 구조물에서도 온도별로 증착률의 차이가 없는 ALD공정의 특성을 가지므로, 우수한 두께 균일도를 갖도록 막을 형성할 수 있음을 알 수 있다. 또한, 200 내지 300°C 의 온도 이하에서 상기에서와 같은 높은 어스펙트비를 갖는 구조물 상에 막을 증착할 때의 증착율은 약 $0.7\text{\AA}/\text{cycle}$ 을 갖는 반면(도면 부호, 32참조), 평판 상에 막을 증착할 때의 증착율은 약 $1\text{\AA}/\text{cycle}$ 을 갖는다.(도면 부호, 30참조) 상기 결과, 패턴에 의해 증착율이 감소되는 비율로 나타내어지는 패턴 로딩율(pattern loading rate)은 약 30%가 된다.

<48> 하기의 표 1은 본 발명의 방법 및 본 출원인의 선행 출원에 기재된 방법에 의해 평판 및 어스펙트비를 갖는 구조물 상에 각각 증착 공정을 진행하였을 때, 각 구조물에서 온도별로 HfO_2 막의 증착율을 나타낸다.

<49> 【표 1】

공정 조건	평판 실리콘	구조물상의 실리콘	로딩율
$\text{Hf}(\text{Otbu})_4 + \text{O}_3$, (300℃)	$y=0.25x$	$y=0.125x$	50%
TEMAH(100℃) + O_3 , (250℃)	$y=1.01x$	$y=0.75x$	26%
TEMAH(100℃) + O_3 , (200℃)	$y=0.98x$	$y=0.633x$	35%

<50> 표 1을 참조하면, 본 발명자의 선행 출원에 기재된 방법에서는 전구체로 tBH(테트라 부톡시 하프늄, $\text{Hf}(\text{Otbu})_4$)을 사용하고, 산화제로 O_3 를 사용하였다. tBH를 전구체로 사용하는 경우에는 약 350℃까지 ALD공정 특성을 보이므로, 공정 진행 온도는 300℃로 하였다.

<51> 표 1의 각각의 방정식에서, x는 사이클 y는 막의 두께를 나타낸다. 또한, x의 계수는 각각의 증착율을 나타낸다. 즉, 본 발명에 의해 평판 실리콘 상에 형성되는 HfO_2 막의 증착율은 본 발명자의 선행 출원에 기재된 방법에 의해 형성되는 HfO_2 막의 증착율에 비해 약 4배이다. 그러므로, 상기 평판 실리콘 상에 상기 HfO_2 막을 형성하는 경우, 본 발명자의 선행 방법에 비해 공정 시간이 약 4배 빨라진다. 또한, 본 발명에 의해 구조물상의 실리콘에 형성되는 HfO_2 막의 증착율은 종래의 방법에 의해 형성되는 HfO_2 막의 증착율에 비해 약 6배이다. 그러므로, 상기 평판 실리콘 상에 상기 HfO_2 막을 형성하는 경우, 본 발명자의 선행 방법에 비해 공정 시간이 약 6배 빨라진다.

<52> 이하에서는, 본 발명의 바람직한 일 실시예에 따른 반도체 장치의 제조 방법을 상세히 설명하고자 한다.

- <53> 도 5a 내지 도 5e는 본 발명의 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.
- <54> 도 5a를 참조하면, 반도체 기판(100)상에 통상의 소자 분리 공정을 수행하여 액티브 영역 및 필드 영역(102)을 구분한다. 이어서, 상기 기판(100)상에 게이트 절연막(104), 게이트 전극(110) 및 소오스/드레인 영역(116a, 116b)을 구비한 트랜지스터들을 형성한다. 1 기가비트 이상의 반도체 장치에서는 약 20Å 이내의 매우 얇은 게이트 절연막(104)이 요구된다. 그러나, 상기 게이트 절연막(104)의 두께 감소는 게이트 누설 전류, 게이트 도핑 불순물의 침투, 문턱 전압의 저하 등의 문제점을 나타내고 있다. 때문에, 상기 게이트 절연막(104)은 상술한 본 발명의 ALD 공정을 이용하여 절연성이 뛰어나고, 유전율이 높은 물질로 형성하는 것이 바람직하다.
- <55> 즉, 도 2a 내지 도 2e에 도시한 바와 같이, 하프늄과 아미노기로 구성된 액체 소오스와 O_3 , 산화제를 사용한 ALD 공정으로 HfO_2 로 이루어진 게이트 유전막(104)을 형성한다. 상기 하프늄과 아미노기로 구성된 액체 소오스는 TEMAH(tetrakis - ethyl - methyle - amino - Hafnium, $Hf[NC_2H_5CH_3]_4$), TDEAH(tetrakis - diethyl - amino - Hafnium, $Hf[N(C_2H_5)_2]_4$), TDEAH(tetrakis - dimethyl - amino - Hafnium, $Hf[N(CH_3)_2]_4$)을 포함한다. 또한, 상기 산화제는 활성화된 산화제로서, 플라즈마 생성기에 의해 형성된 오존(O_3), 플라즈마 O_2 , 리모트 플라즈마 O_2 , 또는 플라즈마 N_2O 를 포함한다. 또한, 상기 산화제는 수산화기를 포함하는 산화제로서, H_2O 또는 H_2O_2 를 포함한다. 바람직하게는, TEMAH와 O_3 을 이용한 ALD 공정으로 HfO_2 게이트 유전막(104)을 형성한다.

- <56> 상기 게이트 전극(110)은 불순물이 도핑된 폴리실리콘층(106)과 금속 실리사이드층(108)이 적층된 폴리사이드 구조로 형성할 수 있다. 또는, 상기 도핑된 폴리실리콘층(106)과 텅스텐(W)과 같은 금속층이 적층된 구조로 형성할 수도 있다. 상기 게이트 전극(110)의 상부면 및 측면에는 각각, 실리콘 산화물이나 실리콘 질화물로 이루어진 캡핑 절연막(112) 및 측벽 스페이서(114)가 형성된다.
- <57> 도 5b를 참조하면, 상기 트랜지스터들이 형성된 기판(100)의 전면에 산화물로 이루어진 제1 절연층(118)을 형성한다. 사진식각 공정으로 상기 제1 절연층(118)을 식각하여 상기 소오스 영역(116a)의 일부분을 노출하는 콘택홀(120)을 형성한다. 이어서, 상기 콘택홀(120) 및 제1 절연층(118) 상에 제1 도전층, 예컨대 인(P)으로 도핑된 폴리실리콘층을 증착한 후, 상기 제1 절연층(118)의 표면까지 상기 제1 도전층을 에치백 또는 화학 기계적 연마(CMP) 공정으로 제거하여 상기 콘택홀(120)의 내부에 콘택 플러그(122)를 형성한다.
- <58> 도 5c를 참조하면, 상기 콘택 플러그(122) 및 제1 절연층(118) 상에 식각 방지층(123)을 형성한다. 상기 식각 방지층(123)은 상기 제1 절연층(118)과의 식각 선택비가 높은 막, 예를 들면 실리콘 질화물(Si₃N₄)막 또는 실리콘 산질화물(SiON)막을 형성한다.
- <59> 상기 식각 방지층(123) 상에 산화물로 이루어진 제2 절연층(124)을 형성한 후, 상기 제2 절연층(124)을 식각하여 상기 콘택 플러그(122)를 노출하는 개구부(126)를 형성한다. 구체적으로 상기 제2 절연층(124)을 식각 방지층(123)이 노출될 때까지 식각한 다음, 상기 식각 방지층을 식각하여 콘택 플러그(122) 및 제1 절연층(118)의 일부분을 노출하는 개구부(126)를 형성한다. 상기 개구부(126)는 입구보다 저부가 좁도록 소정의 측

벽 기울기를 가지면서 형성된다. 이것은 식각 공정을 수행할 때 로딩 효과에 의해 개구부(126)의 입구에 비해 저부의 식각율(etch rate)이 감소되기 때문이다.

<60> 이어서, 상기 개구부(126)의 측면과 저면 및 상기 제2 절연층(124)의 상면에 제2 도전층(127)을 증착한다. 상기 제2 도전층(127)은 도핑된 폴리실리콘 등의 반도체 물질, 루테튬(Ru), 플라티늄(Pt), 이리듐(Ir) 등의 금속 또는 TiN, TaN, WN 등의 도전성 금속 질화물로 형성한다.

<61> 도 5d를 참조하면, 상기 제2 도전층(127) 및 개구부(126) 상에 희생층(도시하지 않음)을 형성한 후, 상기 개구부(126)의 측면과 저면에만 제2 도전층(127)이 남도록 상기 희생층의 상부를 에치백한다. 그러면, 상기 제2 절연층(124)의 표면에 증착되었던 제2 도전층(127)이 제거되어 상기 개구부(126) 내부의 프로파일을 따라 증착된 제2 도전층(127)이 셀 단위로 분리된다. 그런 다음, 상기 희생층을 습식 식각 공정으로 제거하여 각각의 셀 영역에 캐패시터의 하부 전극(128)을 형성한다. 상기 하부 전극(128)은 도시된 바와 같이 입구는 넓고 저부는 좁은 실린더 형태로 형성되고, 약 10000~17000Å의 높이를 갖는다.

<62> 이어서, 상기 하부 전극(128) 상에, 도 2a 내지 도 2e에 도시한 바와 같이, 하프늄과 아미노기로 구성된 액체 소오스와, 산화제를 사용한 ALD 공정으로 HfO_2 로 이루어진 캐패시터 유전막(104)을 형성한다. 구체적으로, TEMAH와 O_3 를 사용한 ALD 공정으로 HfO_2 를 증착함으로써 캐패시터의 유전막(130)을 형성한다. 이와 같이 TEMAH와 O_3 를 사용한 ALD 공정으로 HfO_2 를 증착함으로써, 13:1 이상의 높은 어스펙트비를 갖는 하부 전극(128) 상에서 상부 두께(t_1)와 하부 두께(t_2)의 비가 1:0.8 이상의 우수한 스텝커버리지를 갖는 유전막(130)을 구현할 수 있다. 상기 HfO_2

ϵ_2 는 유전 상수가 약 20 내지 25 정도로 높기 때문에, 유전 상수가 상대적으로 낮은 물질로서 동일한 두께로 유전막을 형성한 캐패시터에 비해 높은 축적 용량을 가질 수 있다. 또한, 상대적으로 에너지 밴드갭이 커서, 안정적인 누설 전류 특성을 가질 수 있다.

<63> 상기 유전막(130)은 상술한 바와 같이 HfO_2 의 단일막으로 형성할 수도 있고, 두 가지 이상의 금속 산화막이 교대로 적층된 복합막으로 형성할 수도 있다. 예를 들어, ALD 공정의 금속 전구체를 바꿔가면서 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 적층 구조로 이루어진 유전막(130)을 형성할 수 있다.

<64> 구체적으로, TMA 전구체와 O_3 산화제를 사용하여 35Å 정도의 두께를 갖는 상기 Al_2O_3 를 먼저 증착한다. 이어서, 상기 TMA 전구체 대신에 TEMAH 전구체를 사용하는 것을 제외하고는 동일한 공정 조건으로 상기 Al_2O_3 상에 35Å 정도의 두께를 갖는 HfO_2 의 증착한다. 따라서, $\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 적층 구조로 이루어진 유전막(130)을 형성할 수 있는 것이다. 또한, 본 발명에서는 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 적층 구조 뿐만 아니라 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 적층 구조로 이루어진 유전막(130)도 형성할 수 있다. 그리고, $\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 적층 구조 뿐만 아니라 $\text{HfO}_2/\text{Al}_2\text{O}_3$ 의 적층 구조로 이루어진 유전막(130)도 형성할 수 있다.

<65> 여기서, 상기 하부 전극(128)이 폴리실리콘으로 형성되었을 경우에는, 후속

의 열처리 공정 시에 하부 전극(128)의 실리콘과 산소가 반응하여 하부 전극(128)을 산화시키게 된다. 따라서, 상기 유전막(130)을 형성하기 전에, 질소 가스를 포함한 분위기에서 급속 열적 질화(rapid thermal nitridation; RTP) 공정으로 상기 하부 전극(128)의 표면을 질화시킴으로써 상기 유전막(130)과 하부 전극(128)이 반응하는 것을 방지한다. 상기 표면 질화에 의해 형성되는 SiN 또는 SiON막은 상기 HfO₂와 함께 캐패시터의 유전막으로서 작용한다. 따라서, 상기 유전막은 질화막/Al₂O₃/HfO₂의 적층 구조 또는 질화막/HfO₂의 적층 구조로 이루어질 수도 있다.

<66> 도 5e를 참조하면, 상기 유전막이 형성되어 있는 상기 기판을 열처리하여 상기 유전막에 형성되어 있는 오염물들을 제거하고 산소 결함들을 큐어링한다. 상기 열처리 공정은 자외선 오존(UV-O₃), 플라즈마 O₂, 리모트 플라즈마 O₂, 질소 또는 진공 분위기 하에서 수행한다.

<67> 이어서, 상기 유전막(130) 상에 캐패시터의 상부 전극(132)을 증착함으로써, 하부 전극(128), 유전막(130) 및 상부 전극(132)으로 구성된 캐패시터(C)를 형성한다. 상기 상부 전극(132)은 폴리실리콘 등의 반도체 물질, 루테튬(Ru), 플라티늄(Pt), 이리듐(Ir) 등의 금속 또는 TiN, TaN, WN 등의 도전성 금속 질화물로 형성한다. 바람직하게는, 상기 상부 전극(132)은 TiN과 폴리실리콘의 적층 구조로 형성한다.

<68> 도 6은 본 발명의 일 실시예에 따른 ALD방법에 의하여 제조한 유전막을 갖는 캐패시터의 누설 전류 특성을 나타낸 그래프이다. 상기 그래프에서, 수평 축은 전압(V)을 나타내고 수직 축은 누설 전류(A/셀)를 나타낸다.

- <69> 캐패시터는 도 5a 내지 5e에 도시한 방법에 의해 형성하였다. 구체적으로, 먼저 인(Ph)으로 도핑된 폴리실리콘으로 이루어진 하부 전극의 표면을 NH_3 가스를 이용한 RTP 공정으로 질화시켰다. 이어서, Al_2O_3 막을 약 35Å로 형성하고, 상기 Al_2O_3 막 상에 HfO_2 막을 약 10Å의 두께로 형성하여 유전막을 형성한다. 상기 HfO_2 막은 TEMAH와 O_3 을 이용하여 약 100~300℃의 온도에서 ALD공정에 의해 형성하였다. 상기 HfO_2 막을 형성한 이후에는, 750℃의 진공 분위기에서 2초간 상기 막들을 열처리 하였다. 상기 공정을 수행하여 형성되는 유전막은 등가 산화막 두께(equivalent oxide thickness, EOT)가 약 20 내지 30Å을 갖는다.
- <70> 상기 등가 산화막 두께는 소정의 물질로 유전막을 증착하여 캐패시터를 형성하였을 때 그 캐패시턴스와 동일한 값의 캐패시턴스를 가지는 실리콘 산화물의 두께이다. 따라서, 서로 다른 유전막을 갖는 두 개의 캐패시터가 동일한 캐패시턴스를 가질 경우 상기 산화물의 두께가 갖은 유전막이 유전율이 높다. 이는 상기 캐패시턴스가 산화물의 두께에 반비례하고, 유전율에 비례하기 때문이다.
- <71> 따라서, 상기 유전막은 상기 등가 산화막 두께가 작을수록 유전율이 높은 것을 의미한다. 도 6의 그래프에서 상기 유전막은 상기 등가 산화막의 두께가 29.7Å이다. 상기 공정들을 수행한 이후에, 상기 HfO_2 막 상에 TiCl_4 와 NH_3 소스 가스들을 이용하여 TiN막을 증착한 후, 그 위에 인이 도핑된 폴리실리콘막을 증착함으로써 TiN/폴리실리콘으로 이루어진 캐패시터의 상부 전극을 형성하였다.
- <72> 도 6에서 알 수 있는 바와 같이, 본 발명의 방법에 의해 제조된 캐패시터는 1V의 전압에서 1fA/셀 이하의 낮은 누설 전류를 나타내었다. 따라서, 본 발명의 실시예에 의

한 캐패시터는 13:1 이상의 높은 어스펙트비를 갖는 구조물 상에 증착되더라도 안정적인 누설 전류를 나타냄을 알 수 있다.

<73> 도 7은 본 발명의 일 실시예에 따른 ALD방법에 의하여 제조한 유전막을 갖는 캐패시터에서 유전막의 등가 산화막 두께에 따른 누설 전류 특성을 나타낸 그래프이다. 상기 그래프에서, 수평 축은 유전막의 등가 산화막의 두께(\AA)를 나타내고 수직 축은 누설 전류(A/셀)를 나타낸다. 여기서, 상기 캐패시터의 유전막은 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 의 복합막으로 형성하였다. 그리고, 상기 캐패시터에 1.2V의 전압을 가했을 때의 누설 전류를 측정하였다.

<74> 도 7을 참조하면, 상기 캐패시터의 유전막의 등가 산화막 두께가 약 24 내지 30 \AA 일 때, 누설 전류는 1fA/셀 이하로 낮게 측정되었다. 따라서, 상기 공정에 의해 형성되는 캐패시터는 안정적인 누설 전류 특성을 나타냄을 알 수 있다.

【발명의 효과】

<75> 상술한 바와 같이 본 발명에 의하면, Hf와 아미노기를 포함하는 전구체와 산화제를 이용한 원자층 증착법으로 고유전율을 갖고, 스텝 커버리지가 우수하고, 안정적인 누설 전류 특성을 갖는 박막을 형성할 수 있다. 때문에, 고도로 집적화된 반도체 장치에서 우수한 특성을 갖는 게이트 전극 및 축적 용량이 증가된 캐패시터 등을 형성할 수 있다.

<76> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

(a) 물질을 이루는 제1 원소와 적어도 하나의 아미노기를 포함하는 제1 반응물을 기관의 상부에 도입하는 단계;

(b) 상기 제1 반응물의 일부분을 상기 기관 상에 화학 흡착시키는 단계;

(c) 상기 기관의 상부에 산화제로 이루어지는 제2 반응물을 도입하는 단계; 및

(d) 상기 화학 흡착된 제1 반응물과 상기 제2 반응물을 화학적으로 반응시켜 상기 기관 상에 원자층을 형성하는 단계를 구비하는 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 2】

제1항에 있어서, 상기 제1반응물은 MX_n 인 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

(식중, M은 제1원소로서 원소 주기율표에서 2족, 3A족(란탄 계열을 포함한다), 4A족, 5A족, 3B족, 4B족, 5B족의 금속이고, 상기 X_n 은 $-NR_1R_2$ 이고, 상기 R_1 , R_2 각각은 서로 동일하거나 서로 상이할 수 있고, 수소 원자 또는 저급알킬기를 나타내고, n은 2-5의 정수이다)

【청구항 3】

제2항에 있어서, 상기 물질을 이루는 제1 원소는 Sr, Ba, Y, La, Ti, Zr, Hf, V, Nb, Ta, Al, Ge, Pb, As, Bi로 구성되는 그룹으로 선택되는 적어도 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 4】

제1항에 있어서, 상기 제1 반응물은 아미노기를 갖는 하프늄 금속 화합물을 포함하는 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 5】

제4항에 있어서, 상기 제1반응물은 TEMAH(tetrakis - ethyl - methyle - amino - Hafnium, $\text{Hf}[\text{NC}_2\text{H}_5\text{CH}_3]_4$), TDEAH(tetrakis - diethyl - amino - Hafnium, $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$), TDEAH(tetrakis - dimethyl - amino - Hafnium, $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$), $\text{Hf}[\text{N}(\text{C}_3\text{H}_7)_2]_4$, $\text{Hf}[\text{N}(\text{C}_4\text{H}_9)_2]_4$ 로 구성되는 그룹으로부터 선택되는 적어도 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 6】

제1항에 있어서, 상기 제2 반응물은 H_2O_2 , H_2O , O_3 , 플라즈마 O_2 , 리모트 플라즈마 O_2 , 및 플라즈마 N_2O 의 군에서 선택된 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 7】

제1항에 있어서, 상기 (c) 단계 전에, 화학 흡착하지 않은 제1 반응물을 상기 챔버로부터 제거하는 단계를 더 구비하는 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 8】

제1항에 있어서, 상기 (d) 단계 후에, 화학 반응하지 않은 제2 반응물을 상기 챔버로부터 제거하는 단계를 더 구비하는 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 9】

제1항에 있어서, 상기 단계 (a)-(d)를 적어도 한번 반복하는 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 10】

제1항에 있어서, 상기 (a) 단계부터 (d) 단계는 100~500℃에서 수행하는 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 11】

제1항에 있어서, 상기 (a) 내지 (d)단계는 챔버내에서 수행되는 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성 방법.

【청구항 12】

제1항에 있어서, 상기 기판 상에 형성된 원자층은 반도체 캐패시터의 유전막인 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 13】

제1항에 있어서, 상기 기판 상에 형성된 원자층은 반도체 장치의 게이트 유전막인 것을 특징으로 하는 원자층 증착법을 이용한 물질 형성방법.

【청구항 14】

- (a) 챔버 내부에 기판을 위치시키는 단계;
- (b) 상기 챔버 내부에 Hf와 아미노기가 포함된 제1 반응물을 도입하는 단계;
- (c) 상기 제1 반응물의 일부분을 상기 기판 상에 화학 흡착시키는 단계;
- (d) 화학 흡착하지 않은 제1 반응물을 상기 챔버로부터 제거하는 단계;
- (e) 상기 챔버 내부에 산화제로 이루어진 제2 반응물을 도입하는 단계;
- (f) 상기 화학 흡착된 제1 반응물과 상기 제2 반응물을 화학적으로 반응시켜 상기 기판 상에 원자층 단위의 금속 산화막을 형성하는 단계; 및
- (g) 화학 반응하지 않은 제2 반응물을 상기 챔버로부터 제거하는 단계를 구비하는 것을 특징으로 하는 원자층 증착법을 이용한 박막 형성방법.

【청구항 15】

제14항에 있어서, 상기 제1반응물은 TEMAH(tetrakis - ethyl - methyle - amino - Halfnium, $\text{Hf}[\text{NC}_2\text{H}_5\text{CH}_3]_4$), TDEAH(tetrakis - diethyl - amino - Halfnium, $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$), TDEAH(tetrakis - dimethyl - amino - Halfnium, $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$), $\text{Hf}[\text{N}(\text{C}_3\text{H}_7)_2]_4$, $\text{Hf}[\text{N}(\text{C}_4\text{H}_9)_2]_4$ 로 구성되는 그룹으로부터 선택되는 적어도 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 박막 형성방법.

【청구항 16】

제14항에 있어서, 상기 제2 반응물은 H_2O_2 , H_2O , O_3 , 플라즈마 O_2 , 리모트 플라즈마 O_2 , 및 플라즈마 N_2O 으로 이루어지는 군에서 선택된 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 박막 형성방법.

【청구항 17】

제14항에 있어서, 상기 단계 (b)-(g)를 적어도 한번 반복하는 것을 특징으로 하는 원자층 증착법을 이용한 박막 형성방법.

【청구항 18】

제14항에 있어서, 상기 (a)~(g) 단계까지 상기 챔버의 온도는 100~500℃로 유지되는 것을 특징으로 하는 원자층 증착법을 이용한 박막 형성방법.

【청구항 19】

(a) 반도체 기판상에 제1 전극을 형성하는 단계;

(b) 상기 제1 전극 상에 절연 물질을 이루는 제1 원소와 적어도 하나의 아미노기를 포함하는 제1 반응물을 상기 제1 전극의 상부에 도입하는 단계;

(c) 상기 제1 반응물의 일부분을 상기 제1 전극상에 화학 흡착시키는 단계;

(d) 상기 제1 전극의 상부에 산화제로 이루어진 제2 반응물을 도입하는 단계;

(e) 상기 화학 흡착된 제1 반응물과 상기 제2 반응물을 화학적으로 반응시켜 상기 기판 상에 유전막을 형성하는 단계; 및

(f) 상기 유전막상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 20】

제19항에 있어서, 상기 제1반응물은 TEMAH(tetrakis - ethyl - methyle - amino - Halfnium, $\text{Hf}[\text{NC}_2\text{H}_5\text{CH}_3]_4$), TDEAH(tetrakis - diethyl - amino - Halfnium, $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$), TDEAH(tetrakis - dimethyl - amino - Halfnium, $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$),

Hf[N(C₃H₇)₂]₄, Hf[N(C₄H₉)₂]₄로 구성되는 그룹으로부터 선택되는 적어도 어느 하나인 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 21】

제19항에 있어서, 상기 제2 반응물은 H₂O₂, H₂O, O₃, 플라즈마 O₂, 리모트 플라즈마 O₂, 및 플라즈마 N₂O으로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 박막 형성방법.

【청구항 22】

제19항에 있어서, 상기 화학 흡착하지 않은 제1 반응물을 상기 제1 전극의 상부로 제거하는 단계를 더 구비하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 23】

제19항에 있어서, 상기 화학 반응하지 않은 제2 반응물을 상기 제1 전극의 상부로부터 제거하는 단계를 더 구비하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 24】

제19항에 있어서, 상기 (b) 단계부터 (e) 단계는 100~500℃에서 수행하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 25】

제19항에 있어서, 상기 제1 전극은 실린더 형상을 갖도록 형성하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 26】

제19항에 있어서, 상기 제1 전극은 도핑된 폴리실리콘막, 금속 질화막 및 금속막 및 이들의 복합막으로 이루어진 군에서 선택된 물질로 형성하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 27】

제26항에 있어서, 상기 제1 전극으로 상기 도핑된 폴리실리콘을 형성한 이 후에는, 상기 제1 전극의 상부에 산화 방지용 질화막을 더 형성하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 28】

제19항에 있어서, 상기 제2 전극은 도핑된 폴리실리콘막, 금속 질화막, 금속 막 및 이들의 복합막으로 이루어진 군에서 선택된 물질로서 형성하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 29】

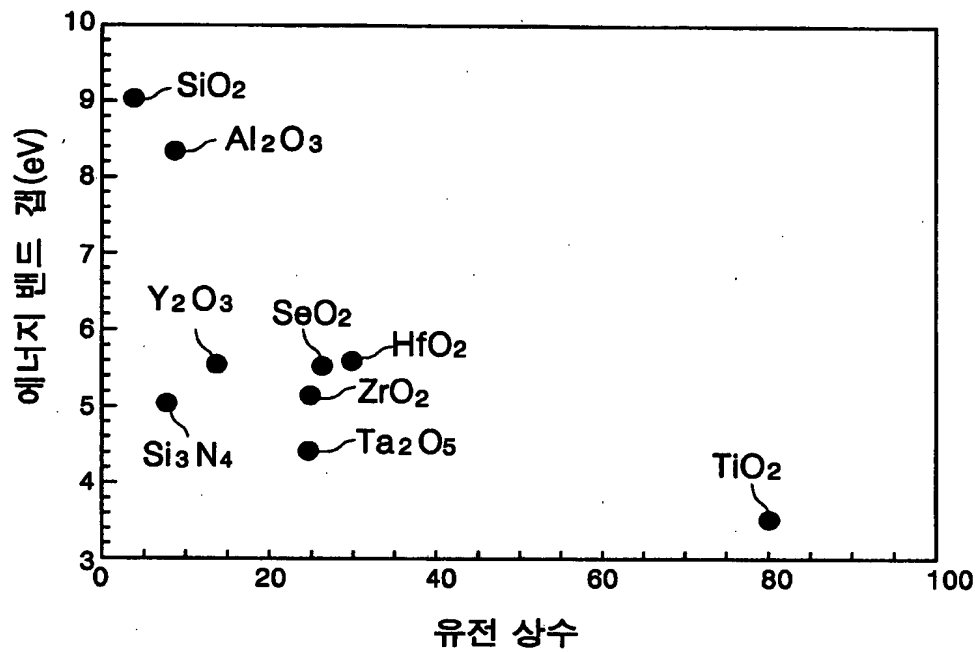
제19항에 있어서, 상기 제1 전극을 수행한 이 후에, 상기 제1 전극의 상부에 상기 제1 반응물과 다른 물질을 사용한 원자층 적층 방식으로 금속 산화막을 더 형성하는 것을 특징으로 하는 캐패시터의 형성방법.

【청구항 30】

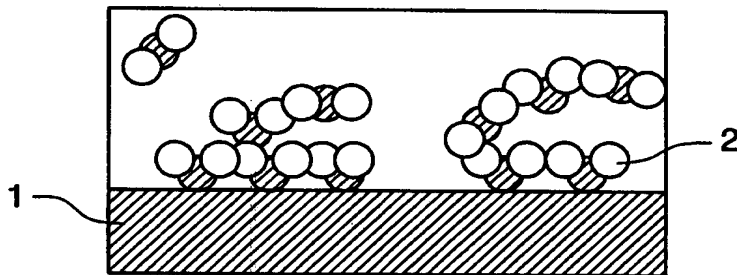
제29항에 있어서, 상기 금속 산화막은 Al_2O_3 막을 포함하는 것을 특징으로 하는 캐패시터의 형성방법.

【도면】

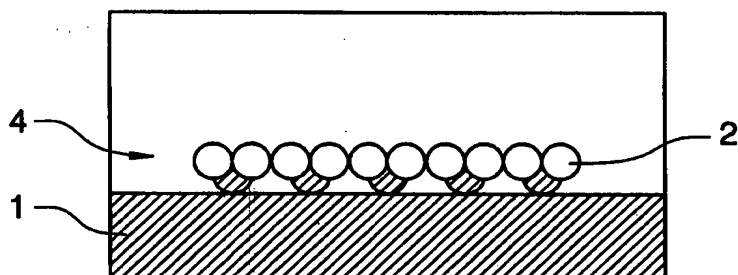
【도 1】



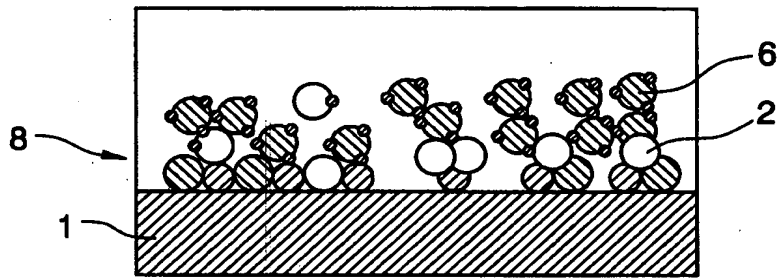
【도 2a】



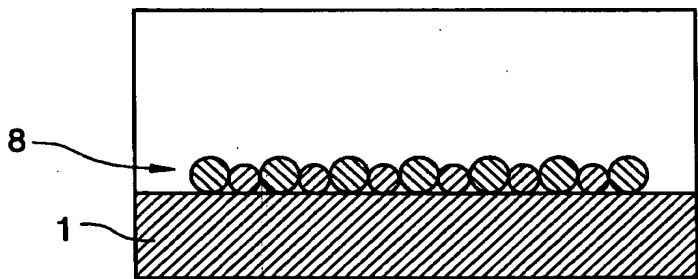
【도 2b】



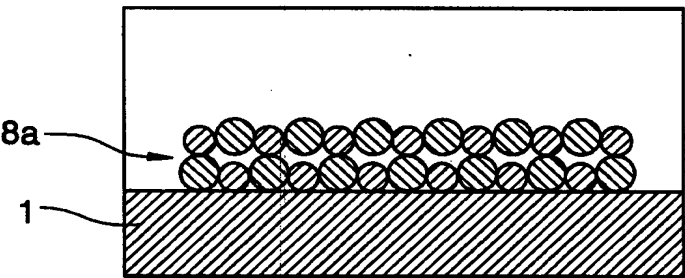
【도 2c】



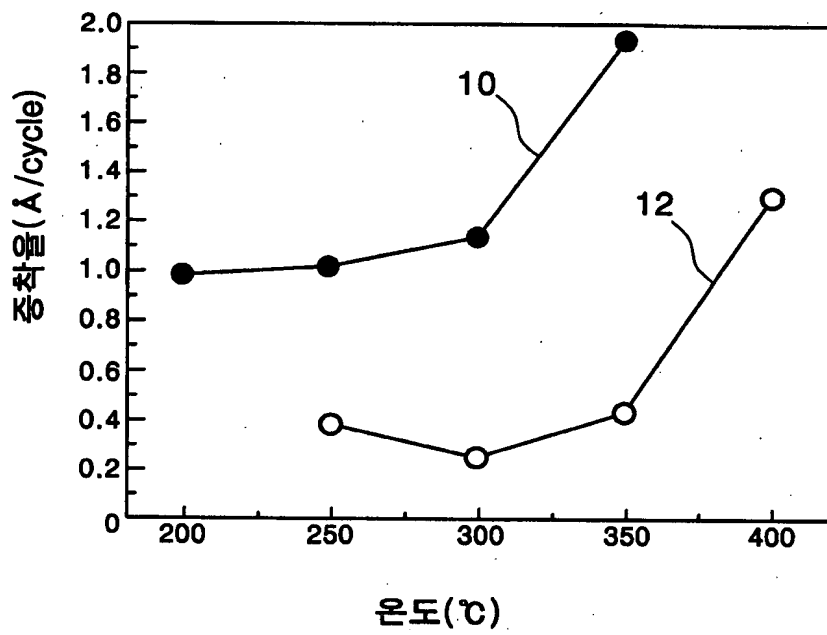
【도 2d】



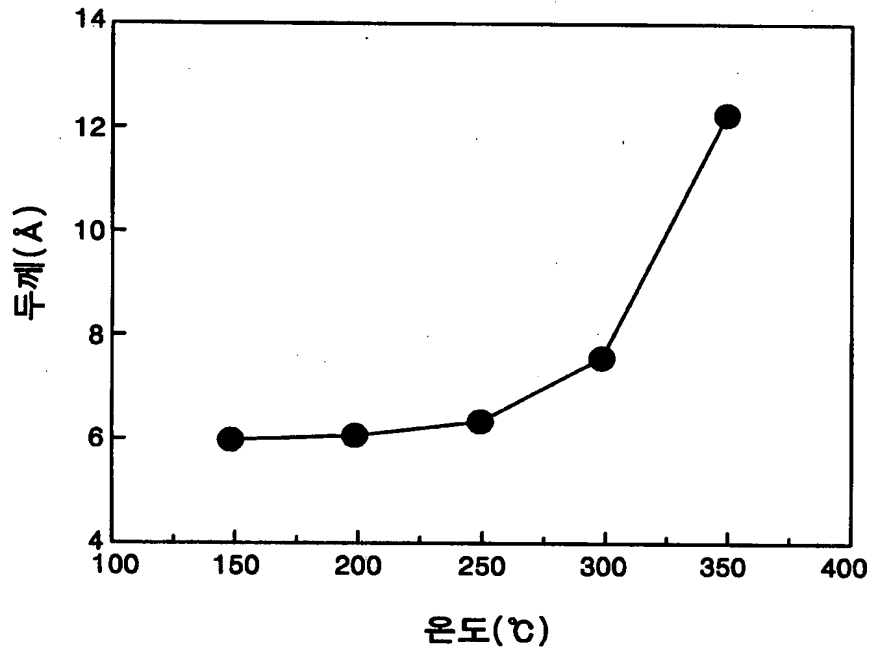
【도 2e】



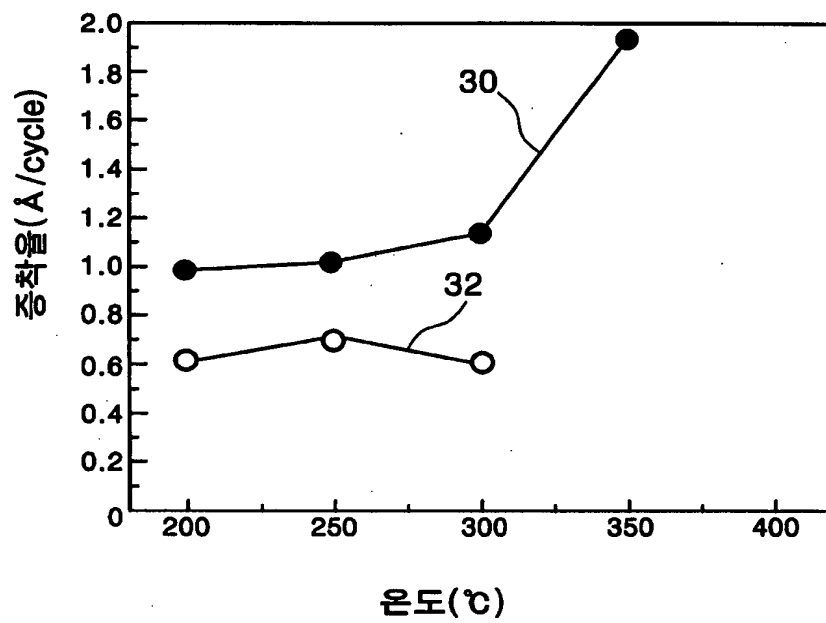
【도 3】



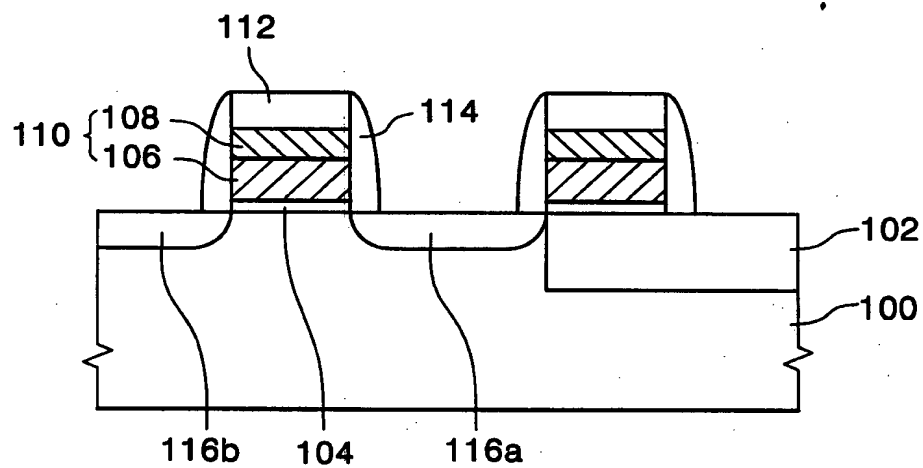
【도 4】



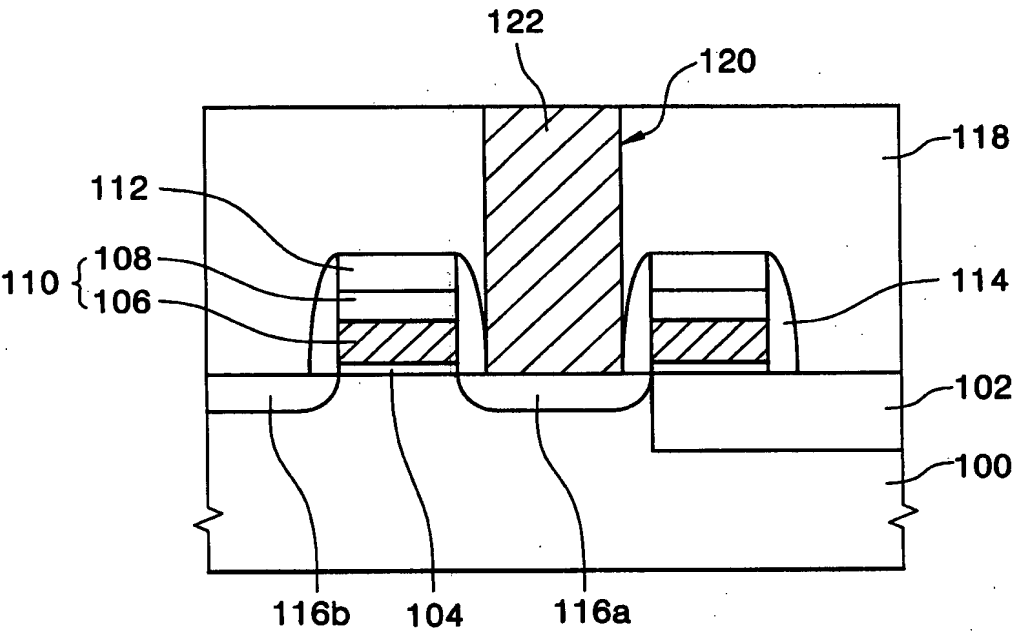
【도 5】



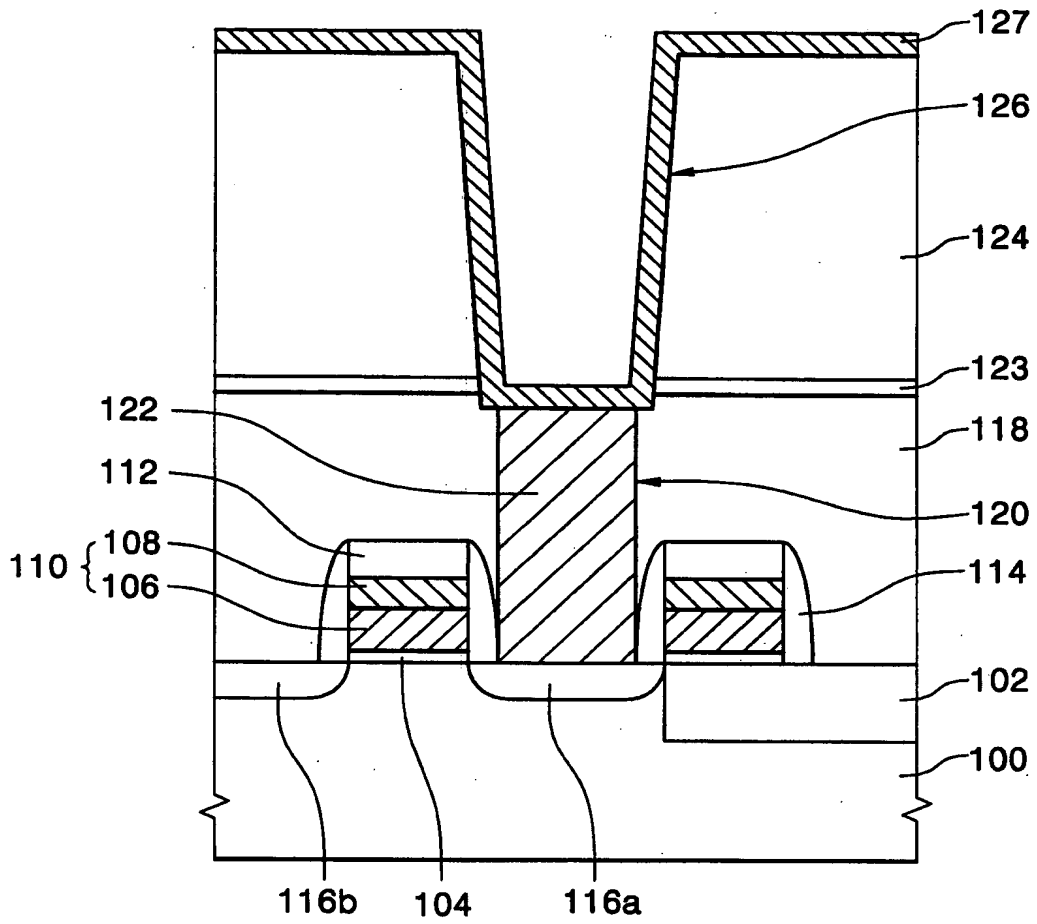
【도 6a】



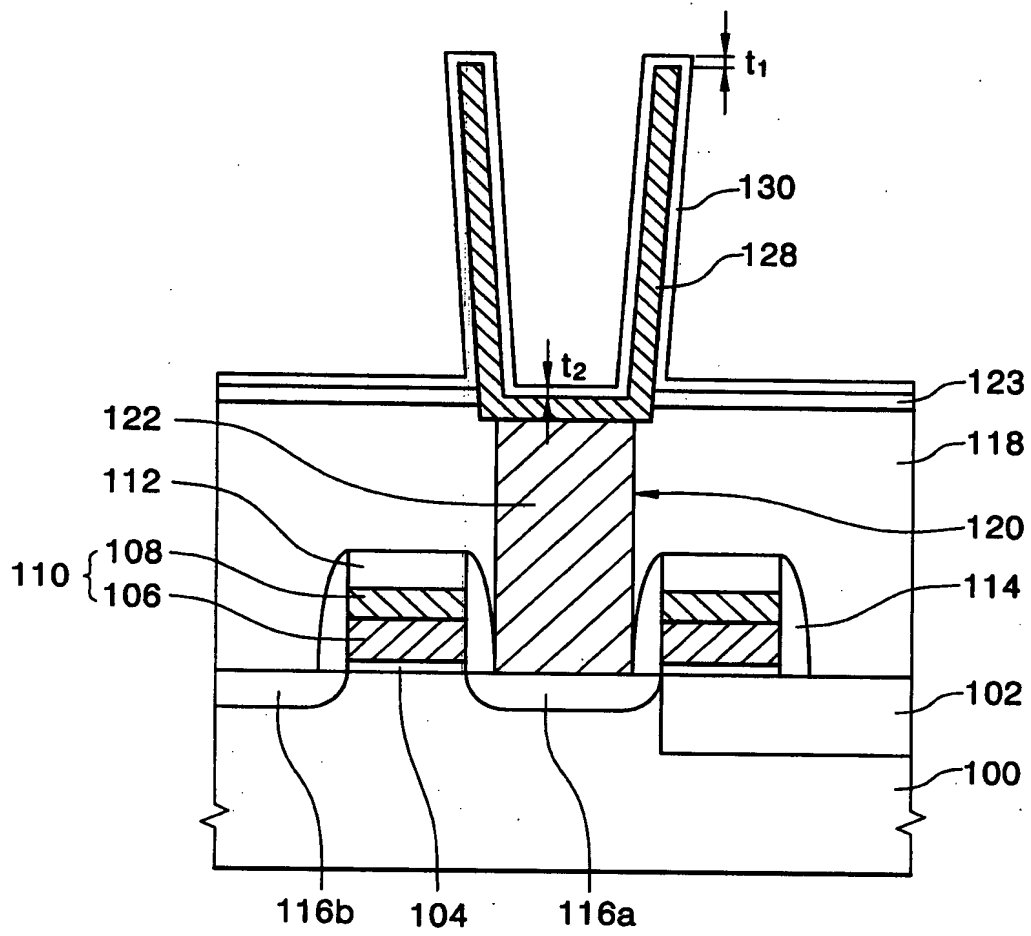
【도 6b】



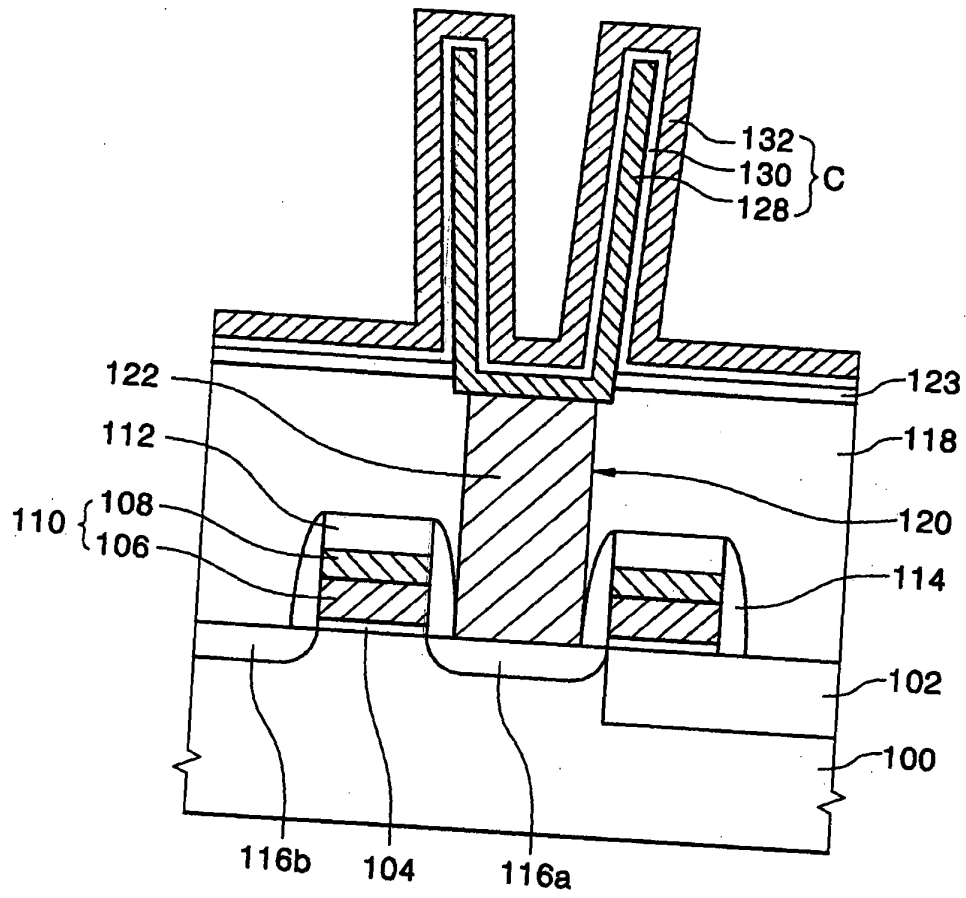
【도 6c】



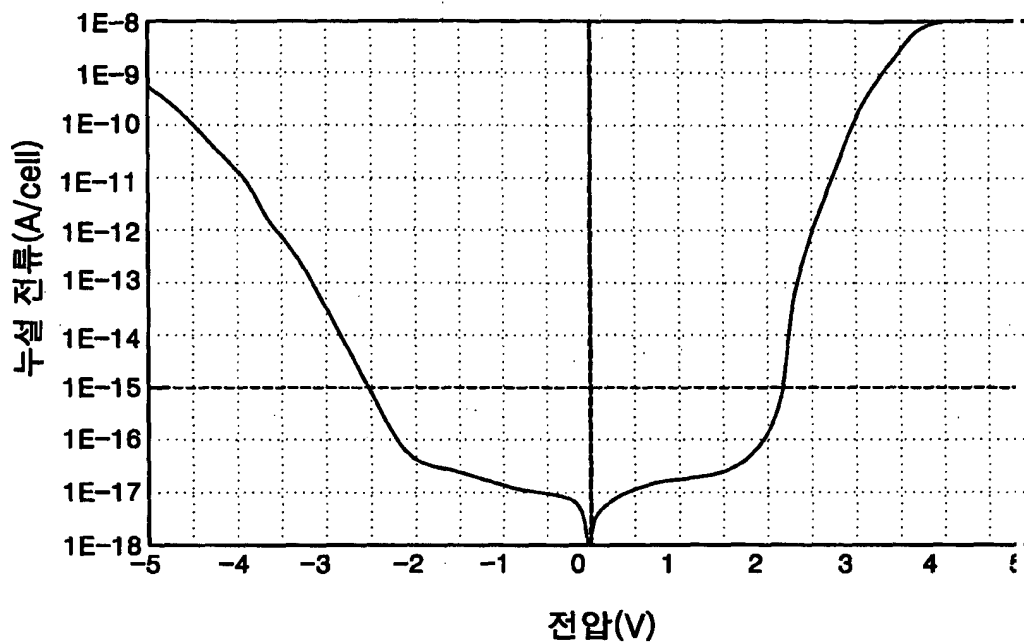
【도 6d】



【도 6e】



【도 7】



【도 8】

